

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

JCS11 U.S. PTO
09/431593
11/01/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日

Date of Application:

1998年11月 9日

願 番 号

Application Number:

平成10年特許願第317265号

願 人

Applicant(s):

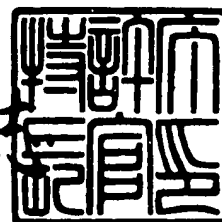
株式会社リコー

CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年 6月21日

特許庁長官
Commissioner,
Patent Office

山 建 彦



出証番号 出証特平11-3043628

【書類名】 特許願

【整理番号】 9805844

【提出日】 平成10年11月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04
H01L 21/822

【発明の名称】 半導体装置とその製造方法

【請求項の数】 6

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 上田 佳徳

【特許出願人】

 【識別番号】 000006747

 【氏名又は名称】 株式会社リコー

 【代表者】 桜井 正光

【代理人】

 【識別番号】 100085464

 【弁理士】

 【氏名又は名称】 野口 繁雄

【手数料の表示】

 【予納台帳番号】 037017

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9808801

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とその製造方法

【特許請求の範囲】

【請求項 1】 抵抗素子を含む半導体装置において、

前記抵抗素子は、2層以上の導電層パターンを備え、下層の導電層パターンの少なくとも一部が上層の導電層パターンにより画定されており、異なる層の導電層パターンが連結されて構成されていることを特徴とする半導体装置。

【請求項 2】 前記抵抗素子における各層の導電層パターンの抵抗値がほぼ等しい請求項 1 に記載の半導体装置。

【請求項 3】 前記抵抗素子が形成されているチップには、少なくとも MOS トランジスタが形成されており、前記抵抗素子は 2 層の導電層パターンからなり、上層の導電層パターンは MOS トランジスタのゲート電極と同じポリサイド層パターンであり、下層の導電層パターンは前記ポリサイド層パターンをマスクとして自己整合的に形成されたものであり、前記 MOS トランジスタのソース／ドレインと同時に形成された拡散シリサイド層パターンである請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記抵抗素子により構成される寄生 MOS トランジスタのしきい値電圧が、使用される電源電圧以上に設定されている請求項 3 に記載の半導体装置。

【請求項 5】 各層の導電層パターンはポリサイド層にてなる請求項 1 又は 2 に記載の半導体装置。

【請求項 6】 2 層以上の導電層パターンを備えた抵抗素子を含む半導体装置を製造する方法において、以下の工程 (A) から (C) により前記抵抗素子を形成することを特徴とする半導体装置の製造方法。

(A) 前記抵抗素子の下層の導電層パターンとなる下層上に、上層の導電層パターンとなる上層膜を形成し、その上層膜を導電層パターン用にパターン化する工程、

(B) 前記上層膜上と、上層膜から露出した下層膜上に金属膜を堆積し、熱処理を施してシリサイド化させることにより、上層、下層ともに抵抗素子を構成す

る導電層パターンとする工程、

(C) 上層の導電層パターンと下層の導電層パターンとを配線層により連結する工程。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は抵抗素子を備えた半導体装置とその製造方法に関するものである。ここで対象とする半導体装置は、半導体チップに抵抗素子のみが形成されたもののほか、トランジスタやコンデンサなど他の素子とともに同一チップ上に抵抗素子が形成されたものも含んでいる。

【0002】

【従来の技術】

半導体装置における抵抗素子は、半導体基板に形成された拡散層や基板上に絶縁層を介して形成されたポリシリコン層をパターン化することにより構成されるのが一般的である。

抵抗素子の抵抗値のばらつきを低減する方法として、抵抗素子を構成する導電層の層抵抗のばらつきを抑える方法と、パターン加工精度を向上させる方法の2通りが考えられる。

【0003】

層抵抗のばらつきを抑えるために、導電層の膜厚や膜質を制御する方法が提案されている（特開平7-115173号公報、特開平9-232521号公報参照）。

パターン加工精度を向上させて抵抗値のばらつきを抑える方法としては、ポリシリコン層を平坦化することによりパターン加工精度を向上させるようにする方法（特開平5-218306号公報参照）や、実際に使用する抵抗パターンのそばに実際には使用しないダミーパターンを配することにより、パターン加工精度の向上を図る方法が提案されている。

【0004】

【発明が解決しようとする課題】

本発明もパターン加工精度の向上により抵抗値のばらつきを低減させようとするものである。上記に示したパターン加工精度の向上を図ることによる方法は、ばらつき低減効果が小さい点を上げることができる。そのため、これらの方法では、実際には加工ばらつきを無視できる程度にパターンを大きくしているのが現状であり、その結果チップ全体に占める抵抗素子の割合が大きくなり、チップのトータルコストを増加させている。

ばらつき低減効果の小さい理由の1つとして、加工精度のばらつきが直接に抵抗値に反映されてしまう点が挙げられる。

【0005】

図1はポリシリコン抵抗素子の一例を示したものである。2はポリシリコン抵抗であり、層抵抗が $5\Omega/\square$ 、パターン寸法が幅 $W=1\mu\text{m}$ 、長さ $L=100\mu\text{m}$ の長い帯状パターン2を10本形成し、それぞれを導体層4により直列につないだものである。この抵抗素子の抵抗値の中心値は

$$5 \times (100/1) \times 10 = 5000 (\Omega)$$

となる。ここで、加工寸法のばらつきを $0.1\mu\text{m}$ とすると、抵抗値のばらつきは $\pm 500\Omega$ 又は $\pm 10\%$ となる。

そこで、本発明は、加工精度のばらつきが抵抗値のばらつきに直接反映される従来の方法の不具合に鑑み、加工精度のばらつきが抵抗値に直接反映されないようにすることにより、微細なパターンの使用を可能にし、大幅なコスト低減を実現することを目的とするものである。

【0006】

【課題を解決するための手段】

本発明における抵抗素子は、2層以上の導電層パターンを備え、下層の導電層パターンの少なくとも一部が上層の導電層パターンにより画定されており、異なる層の導電層パターンが連結されて構成されているものである。

その抵抗素子は、以下の工程(A)から(C)により形成することができる。

(A) 抵抗素子の下層の導電層パターンとなる下層上に、上層の導電層パターンとなる上層膜を形成し、その上層膜を導電層パターン用にパターン化する工程

(B) 上層膜上と、上層膜から露出した下層膜上に金属膜を堆積し、熱処理を施してシリサイド化させることにより、上層、下層ともに抵抗素子を構成する導電層パターンとする工程、

(C) 上層の導電層パターンと下層の導電層パターンとを配線層により連結する工程。

2層以上の導電層が互いに自己整合的にパターン形成されて画定されているため、加工ばらつきにより、例えば上層の導電層パターンの幅が大きくなって抵抗値が低下する場合には、下層の導電層パターンの幅が小さくなって抵抗値が増加する方向に作用するので、上下層の導電層パターンを連結すると加工ばらつきによる抵抗値の変化が相殺され、抵抗値のばらつきを低減することができる。

【0007】

【発明の実施の形態】

上下層の導電層パターンにより抵抗値の変化を相殺する効果は、各層の導電層パターンの抵抗値がほぼ等しい場合に最も有効に作用する。

適用される好ましい半導体装置の一態様は、抵抗素子が形成されているチップに、少なくともMOSトランジスタが形成されているものである。その場合、抵抗素子は2層の導電層パターンからなり、上層の導電層パターンはMOSトランジスタのゲート電極と同じポリサイド層パターンであり、下層の導電層パターンはそのポリサイド層パターンをマスクとして自己整合的に形成されたものであり、MOSトランジスタのソース/ドレインと同時に形成された拡散シリサイド層パターンである。ポリサイド層とはポリシリコン層の表面にシリサイド層が形成されたものであり、拡散シリサイド層とはシリコン基板に形成された拡散層の表面にシリサイド層が形成されたものである。この場合には、本発明の抵抗素子を形成するための特別なプロセスを追加する必要がなく、コスト上、有利である。

【0008】

そして、このように、抵抗素子の上層の導電層パターンがMOSトランジスタのゲート電極と同じポリサイド層パターンであり、下層の導電層パターンがMOSトランジスタのソース/ドレインと同時に形成された拡散シリサイド層パターンである場合、その抵抗素子により構成される寄生MOSトランジスタのしきい

値電圧が、使用される電源電圧以上に設定されていることが好ましい。これにより、抵抗素子の両端にかかる電圧に対して回路的に制限を設ける必要がなく、回路内における適用範囲が広がる。

【0009】

各層の導電層パターンの他の態様はポリサイド層にてなるものである。ポリサイド層は拡散シリサイド層に比べて層抵抗値を大きく設定することが可能である。また、2層ポリシリコン容量とともに同一チップに搭載する場合に好都合である。

【0010】

【実施例】

（実施例1）

図2は抵抗素子上層の導電層パターンがMOSトランジスタのゲート電極と同じポリサイド層パターンであり、下層の導電層パターンがMOSトランジスタのソース／ドレインと同時に形成された拡散シリサイド層パターンである場合の実施例を示したものである。この抵抗素子が形成されるチップ上には少なくともMOSトランジスタが形成される。

【0011】

(a) に示されるように、P型シリコン基板10上にLOCOS法によりフィールド酸化膜12を、例えば450nmの厚さに形成する。

そして、抵抗素子領域に形成される寄生MOSトランジスタが使用電源電圧（例えば5V）ではオンしないようしきい値電圧に設定するために、抵抗素子を形成する基板領域にはしきい値電圧を高めるための不純物として、例えばボロンを10keVのエネルギーで $2 \times 10^{14} / \text{cm}^2$ 程度のドーズ量でイオン注入を行なう。

【0012】

(b) 基板10に、850℃で15分間のウエット酸化を行なってゲート酸化膜14を形成した後、ポリシリコン層16を例えば150nmの厚さに堆積する。そして、写真製版工程及びエッチング工程を経て、ポリシリコン層16の平面形状が(c)に示されるような帯状のパターになるようにパターン化する。

次に、Ti, Co, Wなどの金属を堆積し、熱処理を施すことにより、ポリシリコン層16の表面にシリサイド層18を形成し、基板10の露出部分にはポリシリコン層16をマスクとして自己整合的にシリサイド層20を形成する。

ここまでの工程で、MOSトランジスタ形成領域には、ポリサイド構造のゲート電極をもち、表面がシリサイド化されたソース/ドレインをもつMOSトランジスタが同時に形成される。

【0013】

その後、保護膜を堆積し、ポリサイド層パターン19（ポリシリコン層パターン16上にシリサイド層18が形成されたもの）の両端部と、それに隣接した拡散シリサイド層パターン21（シリサイド層パターン20とその下の拡散層パターンを含んだもの）にそれぞれコンタクトホール22, 24を形成し、ポリサイド層パターン19、拡散シリサイド層パターン21、ポリサイド層パターン19、拡散シリサイド層パターン21、……と直列につながるようにアルミニウムによる配線26を形成して連結し、抵抗素子を構成する。

【0014】

図2(c)に示されるこの実施例の抵抗素子で、パターン寸法を図1と同じく幅 $W=1\mu\text{m}$ 、間隔 $S=1\mu\text{m}$ 、長さ $L=100\mu\text{m}$ とし、ポリサイド層パターン19と拡散シリサイド層パターン21のそれぞれを5本ずつ、合計で10本を直列につないだ抵抗素子とする。ポリサイド層パターン19と拡散シリサイド層パターン21の層抵抗をとともに $5\Omega/\square$ とする。

【0015】

この抵抗素子のパターンでは、長さ L は幅 W に対して十分に大きいため、長さ方向での加工寸法ばらつきは無視することができる。加工寸法ばらつきを x とすると、この抵抗素子の抵抗値 $f(x)$ は、

$$\begin{aligned} f(x) &= 2500/(1+x) + 2500/(1-x) \\ &= 5000/(1+x)(1-x) \end{aligned}$$

となる。この抵抗素子の抵抗値を加工寸法ばらつき x に対して図示すると、図3に示されるような放物線となる。なお、図3中に破線で示される直線は、図1の従来の抵抗素子における抵抗値と加工寸法ばらつき x の関係を図示したものであ

る。

【0016】

いま、図1と同様に加工寸法ばらつきを $\pm 0.1 \mu\text{m}$ とすると、抵抗値のばらつきは $\pm 50 \Omega$ 、すなわち $\pm 1\%$ となり、図1の従来の場合に比べてばらつきは $1/10$ に低減される。

図2のようにシリサイド層パターン20の形成を、ポリシリコン層パターン16をマスクとして自己整合的にシリサイド化することにより実行しているので、ポリシリコン層パターン16でその幅が $x \mu\text{m}$ 広くなるようにずれた場合($+x \mu\text{m}$)、シリサイド層パターン20では逆に $x \mu\text{m}$ 狭くなるように作用する($-x \mu\text{m}$)。このようにポリサイド層パターン19と拡散シリサイド層パターン21とで加工寸法ばらつきが逆方向に作用することにより、直列抵抗とした場合の抵抗値のばらつきが抑えられる。

【0017】

(実施例2)

図4は各層の導電層パターンがポリサイド層にてなる抵抗素子に本発明を適用した実施例を示したものである。

シリコン基板10上にLOCOS法により形成されたフィールド酸化膜12上に、不純物を添加していないか、又は層抵抗が $1 \times 10^6 \Omega/\square$ 以上と高くなるような少量の不純物を含むポリシリコン層30をCVD法にて堆積する。

【0018】

写真製版工程及びエッチング工程を経て、抵抗素子を形成する領域にCVD酸化膜や窒化膜のような絶縁膜32を、使用電源電圧範囲内では破壊しない程度の膜厚、例えば使用電源電圧5Vに対しては15nm以上となるように堆積する。

その絶縁膜32上にポリシリコン層34をCVD法により堆積する。上層のポリシリコン層34は下層のポリシリコン層30と同一組成であってもよく、又は不純物をそれよりも多く含むようなポリシリコン層であってもよい。

【0019】

写真製版工程とエッチング工程を経て、(c)に示されるような平面形状のポリシリコン層パターン34aを形成する。

上層のポリシリコン層 34 は MOS トランジスタのゲート電極として共用が可能なものとする場合には、ポリシリコン層 34 a にパターン化した後、その上に 150 nm 程度の CVD 酸化膜を堆積し、エッチバックを施して LDD (lightly doped drain) 構造のサイドウォール部分を形成することがある。

その後、例えば砒素を 40 keV のエネルギーで $5 \times 10^{15} / \text{cm}^2$ のドーズ量の条件で不純物注入を行ない、ポリシリコン層 30, 34 a の表面がシリサイド化するのに十分な濃度とする。

【0020】

次に、Ti, Co などの金属を例えば 60 nm 程度の厚さに堆積した後、RTA (rapid thermal annealing) などの熱処理によりシリサイド化を行なう。ポリシリコン層パターン 34 a 上にはシリサイド層 36 が形成され、ポリシリコン層パターン 34 a, 34 a の間のポリシリコン層 30 の露出部にはシリサイド層 38 が自己整合的に形成される。

【0021】

その後、保護膜を堆積し、ポリサイド層パターン 37 (ポリシリコン層パターン 34 a 上にシリサイド層 36 が形成されたもの) の両端部と、それに隣接したポリサイド層パターン 39 (シリサイド層パターン 38 とその下のポリシリコン層を含んだもの) にそれぞれコンタクトホール 40, 42 を形成し、ポリサイド層パターン 37, 39, 37, 39, …… と直列につながるようにアルミニウムによる配線 44 を形成して連結し、抵抗素子を構成する。

この抵抗素子においても、図 3 に双曲線で示したのと同様の寸法ばらつきに対する抵抗値のばらつき低減の効果を得ることができる。

【0022】

【発明の効果】

本発明では、抵抗素子が 2 層以上の導電層パターンを備え、下層の導電層パターンの少なくとも一部が上層の導電層パターンにより画定されたものであり、異なる層の導電層パターンが連結されて構成されているので、加工ばらつきに対する抵抗値のばらつきを低減することができる。

【図面の簡単な説明】

【図 1】

従来のポリシリコン抵抗素子の一例を示す平面図である。

【図 2】

第 1 の実施例の抵抗素子を製造方法とともに示したものであり、(a)、(b) は途中工程の断面図、(c) は抵抗素子となった平面図である。

【図 3】

抵抗素子の抵抗値を加工寸法ばらつき x に対して図示したものであり、双曲線は実施例によるもの、直線は図 1 の従来のものによるものである。

【図 4】

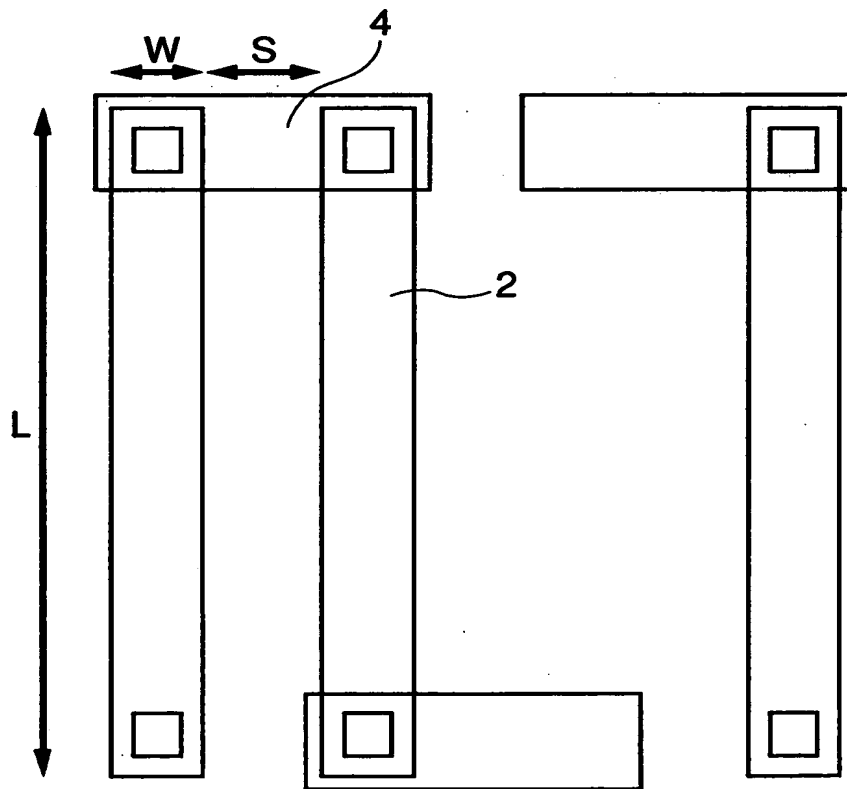
第 2 の実施例の抵抗素子を製造方法とともに示したものであり、(a)、(b) は途中工程の断面図、(c) は抵抗素子となった平面図である。

【符号の説明】

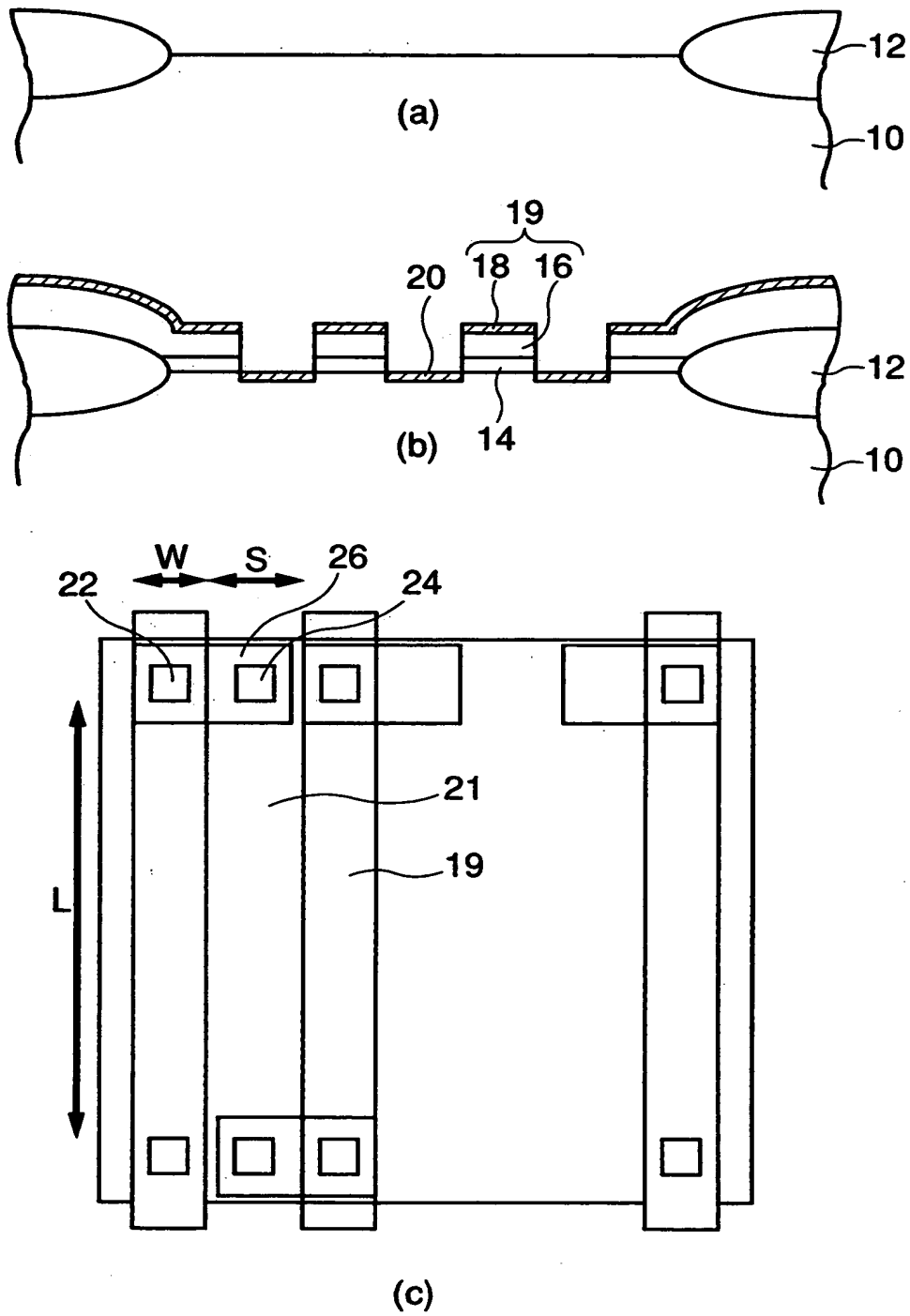
10	P 型シリコン基板
14	ゲート酸化膜
16	ポリシリコン層パターン
18	シリサイド層
19	ポリサイド層パターン
20	シリサイド層
21	拡散シリサイド層パターン
30	ポリシリコン層
32	絶縁膜
34 a	ポリシリコン層パターン
36, 38	シリサイド層
37, 39	ポリサイド層パターン

【書類名】 図面

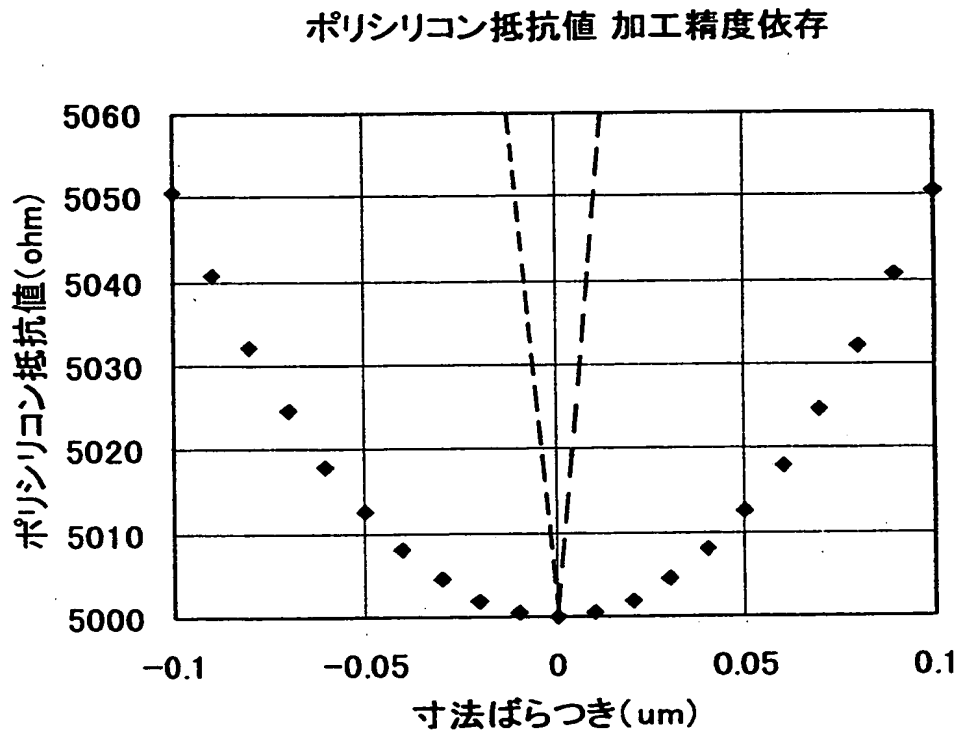
【図 1】



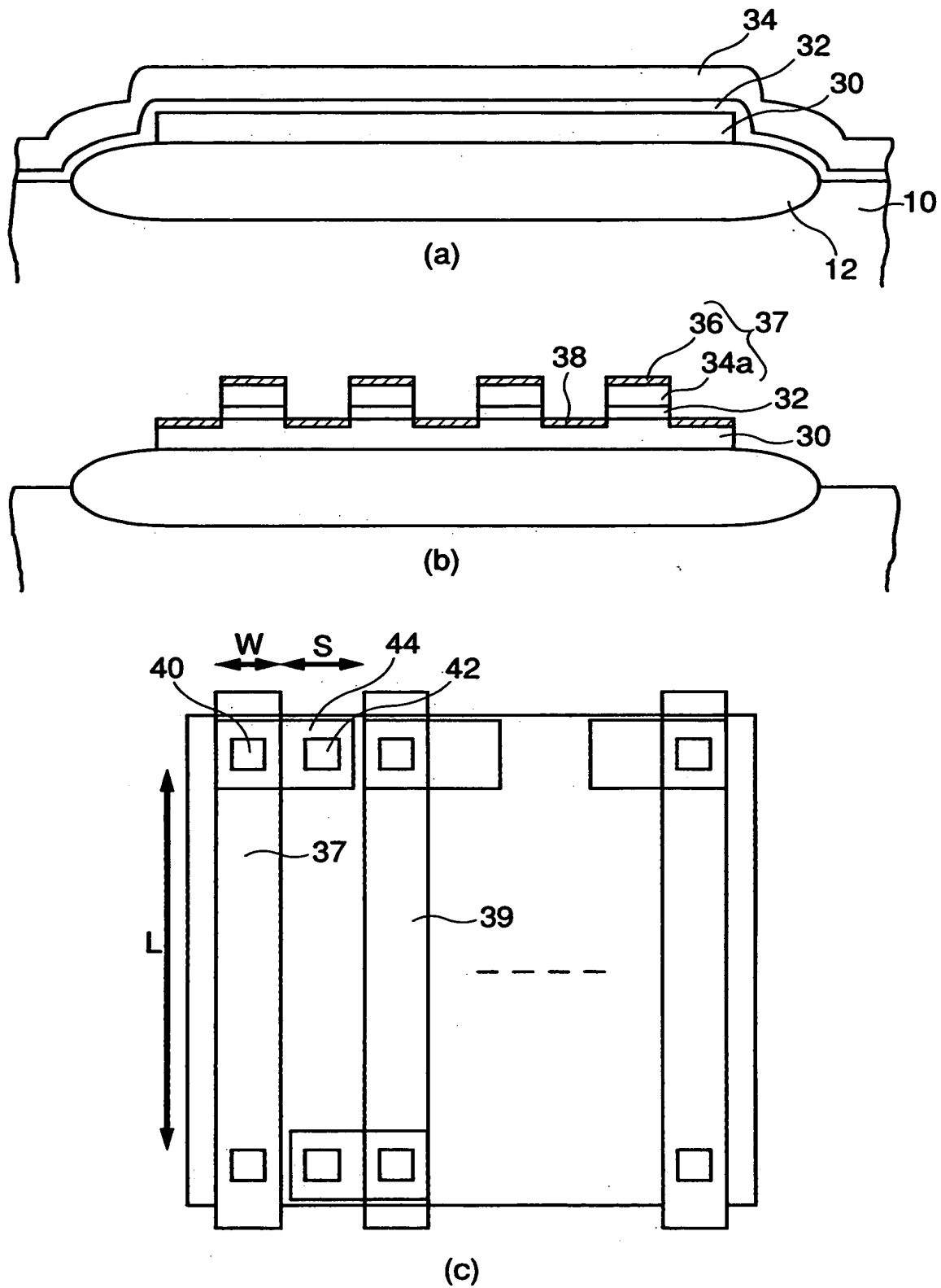
【図 2】



【図 3】



【図4】



【書類名】 要約書

【要約】

【課題】 加工精度のばらつきが抵抗値に直接反映されない抵抗素子を得る。

【解決手段】 拡散シリサイド層パターン 21 はポリサイド層パターン 19 のポリシリコン層パターン 16 をマスクとして自己整合的に形成されたものである。配線 26 により拡散シリサイド層パターン 21、ポリサイド層パターン 19、拡散シリサイド層パターン 21、……と直列に連結されて抵抗素子が構成されている。

【選択図】 図 2

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000006747
【住所又は居所】 東京都大田区中馬込1丁目3番6号
【氏名又は名称】 株式会社リコー
【代理人】 申請人
【識別番号】 100085464
【住所又は居所】 大阪府大阪市浪速区日本橋4丁目5-20 ホリノ
ビル4階 野口・筒井特許事務所
【氏名又は名称】 野口 繁雄

出 願 人 履 歴 情 報

識別番号 [000006747]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都大田区中馬込1丁目3番6号
氏 名	株式会社リコー